

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In Re Application of: Tsai

Group Art Unit: Unassigned

Serial No.: Unassigned

Examiner: Unassigned

Filed: March 31, 2004

Docket No. 250913-1170

For: Driving Circuit for Optical Modulator

**CLAIM OF PRIORITY TO AND**  
**SUBMISSION OF CERTIFIED COPY OF REPUBLIC OF CHINA APPLICATION**  
**PURSUANT TO 35 U.S.C. §119**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, Virginia 22313-1450

Sir:

In regard to the above-identified pending patent application and in accordance with 35 U.S.C. §119, Applicant hereby claims priority to and the benefit of the filing date of Republic of China patent application entitled, "Driving Circuit for Optical Modulator", filed October 16, 2003, and assigned serial number 92128743. Further pursuant to 35 U.S.C. §119, enclosed is a certified copy of the Republic of China patent application

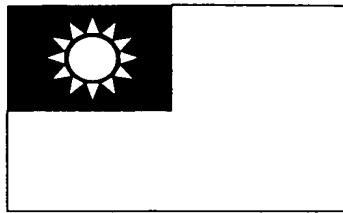
Respectfully Submitted,

**THOMAS, KAYDEN, HORSTEMEYER  
& RISLEY, L.L.P.**

By:

  
\_\_\_\_\_  
Daniel R. McClure, Reg. No. 38,962

100 Galleria Parkway, Suite 1750  
Atlanta, Georgia 30339  
770-933-9500



# 中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 10 月 16 日  
Application Date

申請案號：092128743  
Application No.

申請人：財團法人工業技術研究院  
Applicant(s)

局長  
Director General

蔡 繩 生

發文日期：西元 2003 年 11 月 17 日  
Issue Date

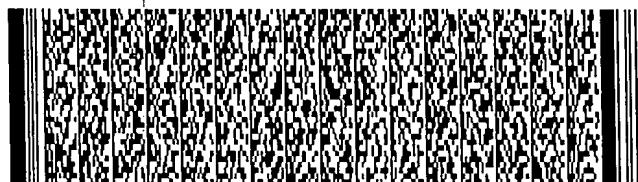
發文字號：09221157120  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一 發明名稱	中文	光調變器驅動電路
	英文	Driving circuit of Optical modulator
二 發明人 (共1人)	姓名 (中文)	1. 蔡嘉明
	姓名 (英文)	1. TSAI, CHIA MING
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 新竹市明湖路1050巷412號4樓
	住居所 (英 文)	1. No. 412, Lane 1050, Minghu Rd., Hsinchu City 300, Taiwan (R. O. C.)
三 申請人 (共1人)	名稱或 姓名 (中文)	1. 財團法人工業技術研究院
	名稱或 姓名 (英文)	1. Industrial Technology Research Institute
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹縣竹東鎮中興路四段195號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. NO. 195, Sec. 4, Chung Hsing Rd., Chutung Hsinchu, Taiwan 310, R. O. C.
代表人 (中文)	1. 翁政義	
代表人 (英文)	1. CHENG-I WENG	

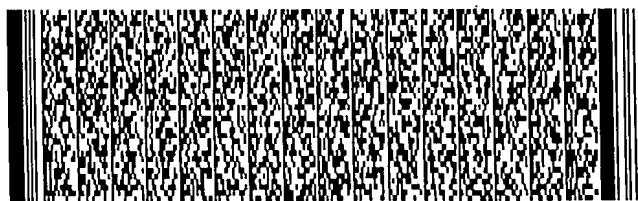


四、中文發明摘要 (發明名稱：光調變器驅動電路)

本發明乃關於一種光調變器驅動電路，係利用多級串疊(Cascode)之輸出架構使高輸出電壓可由串疊之各電晶體元件平均分攤承受，因此，可使輸出電壓高於單一電晶體元件之可容許工作電壓範圍，以適用於高輸出電壓之驅動電路之設計。

五、英文發明摘要 (發明名稱：Driving circuit of Optical modulator )

The present invention relatives to a driving circuit of optical modulator that uses a Cascode multi-stage to be output configuration. The Cascode multi-stage can share high output voltage out to various transistors of Cascode multi-stage equally withstanding. So the output voltage can be higher than any tolerable working pressure of transistor and is suitable to the high output voltage actuates



四、中文發明摘要 (發明名稱：光調變器驅動電路)

五、英文發明摘要 (發明名稱：Driving circuit of Optical modulator )

design the electric circuit.



六、指定代表圖

(一) 本案代表圖為：第三圖

(二) 本案代表圖之元件代表符號簡單說明

20、21	回授電路；
S1、S2	輸入端；
I1、I2、Im	電流源；
Vo1、Vo2	輸出電壓；
C1、C2	電容；
Ccb1、Ccb2	集-基極電容；
R1~R4	電阻；
T1~T4	電晶體；
VT1	參考電壓。



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

無

寄存日期：

寄存號碼：

熟習該項技術者易於獲得，不須寄存。



## 五、發明說明 (1)

### 【技術領域】

本發明乃關於一種光調變器驅動電路，係藉由一串疊電路架構，使各串疊結構中之電晶體平均分攤輸出所需之高電壓，以大幅提升其輸出電壓之工作範圍。

### 【先前技術】

因應通訊頻寬的快速成長需求，採用高容量的光通訊傳輸系統是必然的發展趨勢，而對於其中最重要的高速長距離通訊之應用，一般需採用連續模態(CW)雷射二極體(Laser Diode)配合高速光調變器(Optical Modulator)來製作其光發射器(Optical Transmitter)，而其所需之光調變器驅動器(Modulator Driver)需具備3至10伏之高輸出電壓驅動能力，通常需使用具高崩潰電壓之積體電路製程來製作此驅動器，因而導致其製作成本的增加，因此，乃有利用低壓之積體電路製程來製作此種高壓驅動器之技術的提出。

煩請參閱第一圖，第一圖係為習用技術中所採用之電路設計的連接示意圖，其中於此電路連接之元件係包括兩個電晶體10與11，以及一電流源 $I_m$ ，經由兩輸入端 $S_1$ 、 $S_2$ 之差動輸入信號可控制電流 $I_m$ 流經電晶體10或11至其對應之輸出端 $V_{o1}$ 或 $V_{o2}$ ，故此電路之輸出電壓需完全由電晶體10或11所承受，因此，在設計上其輸出電壓將完全受限於電晶體10與11之耐壓特性。

煩請參閱第二圖，第二圖係為習用技術中採用多級串疊電晶體之電路連接示意圖，由此第二圖中可看出，電路中之高輸出電壓端係包括有複數個電晶體，其中第二電晶體12與



## 五、發明說明 (2)

第三電晶體13、第四電晶體14、第五電晶體15係構成一串<sup>14</sup>並架構來分攤輸出端之高壓，然而，此設計方式需要額外之源極隨耦電路藉以將部份輸出電壓耦合至串疊輸出級之上層電晶體13之閘極端，如此將導致耗電量增加，並且延長閘極延遲時間而造成高頻輸出特性的劣化。

為避免上述習用技術之缺點，本發明提出一種適用於高輸出電壓之驅動電路之設計。

### 【發明內容】

本發明乃關於一種光調變器驅動電路，係提出一串疊式輸出架構，藉由各串疊電晶體來平均分攤輸出所需之高跨電壓，以大幅提升其輸出電壓之工作範圍。

其中，本發明所採用之電路設計係運用複數個電晶體的串疊組合，並藉由其他被動元件，包括電阻與電容的連接來分別提供較低頻與高頻部分之回授電壓，以有效地將高輸出電壓平均分攤給串疊中之各個電晶體，如此，可避免輸出電壓過高而超出電晶體所能承受之耐壓範圍，導致電晶體受損而不能正常工作；更甚者，亦可藉由多級串疊，使得輸出電壓得以高倍數的增加而不影響電路正常的工作。

更甚者，運用另外一個增益平台的連接，產生上層串疊電晶體(Upper Cascode Transistors)之基極控制訊號，並利用兩個電容連接與其電容量來調整經由輸出端回授之高頻訊號量，以獲得最佳之控制波形。

### 【實施方式】

煩請參閱第三圖，第三圖係為本發明第一實施例之電路



### 五、發明說明 (3)

連接示意圖，由第三圖可看出於此第一實施例中包括有一輸入端S1、S2，而由第一電晶體T1與第一輸入端S1連接，第二電晶體T2則與第二輸入端S2連接，另外，第一電晶體T1之射極與第二電晶體T2之射極相連接，並與一電流源Im耦合接地。

另外，第一電晶體T1更與第三電晶體T3形成一串疊連接，而其接合處更連接有第一電流源I1；至於第二電晶體T2則與第四電晶體T4相對形成另一串疊連接，而其接合處更連接有第二電流源I2。其中第一電流源I1與第二電流源I2之目的為分別提供第三電晶體T3與第四電晶體T4一適當之偏壓電流，以降低電晶體開關時間並避免輸出波形失真。

另外，第三電晶體T3除與第一電晶體T1、第一電流源I1連接外，更連接有第一回授電路20，而第一回授電路20係包含有一低頻回授電路與一高頻回授電路，低頻回授電路係包含有一第一電阻R1與一第二電阻R2，藉由第一電阻R1與第二電阻R2分壓以可提供較低頻回授信號，而高頻回授電路係包括有第三電晶體T3之一集-基極電容Ccb1與第一電容C1，集-基極電容Ccb1與第一電容C1分壓以可提供高頻回授信號，集-基極電容Ccb1係跨接於第三電晶體T3之集極與基極；至於第四電晶體T4除與第二電晶體T2、第二電流源I2連接外，更連接有第二回授電路21，而第二回授電路21如同第一回授電路20一般係包含有一低頻回授電路與一高頻回授電路，低頻回授電路係包含一第三電阻R3與一第四電阻R4，藉由兩電阻R3與R4分壓以可提供較低頻回授信號，而高頻回授電路係包



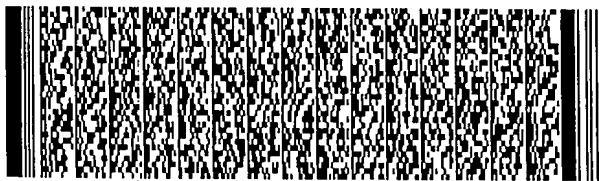
## 五、發明說明 (4)

含有第四電晶體T4之一集-基極電容Ccb2與一第二電容C2，藉由集-基極電容Ccb2與第二電容C2分壓以可提供高頻回授信號，集-基極電容Ccb2係跨接於第四電晶體T4之集極與基極，上述之第二電阻R2與第四電阻R4係各與一參考電壓VT1相連接。另外，回授電路20與21中之電阻串亦可充當回向末端電阻(Back Termination Resistor)之功能以改善輸出端之阻抗匹配特性。

在第一實施例中，藉由調整第一電容C1對第三電晶體T3集-基極電容Ccb1之電容比值大小，以及第二電容C2對第四電晶體T4集-基極電容Ccb2之電容比值大小，可調整經由輸出端回授之高頻訊號量，藉以獲得最佳化之控制波形。

以上為本發明第一實施例之電路連接說明，運用本發明之設計精神所得到之電路並不止於此，更甚者，本發明之重點在於運用此設計精神，可因應不同之需求而設計出適合之高壓驅動電路，因此，而有不同串疊而成之實施例。

煩請參閱第四圖，第四圖係為本發明第二實施例之電路連接示意圖，其中與第一實施例之差異在於第三電晶體T3更連接第五電晶體T5而形成更多級之串疊結構，其中第五電晶體T5除與第三電晶體T3連接外，更連接有第三回授電路22，而其第三回授電路22係如上述之回授電路20、21一般，包含有低頻與高頻回授電路，藉由第五電阻R5與第六電阻R6分壓以提供較低頻回授信號，並藉由第五電晶體T5之集-基極電容Ccb3與第三電容C3分壓以提供高頻回授信號；另外，第四電晶體T4更連接第六電晶體T6而形成更多級之串疊結構，其



## 五、發明說明 (5)

中第六電晶體T6除與第四電晶體T4連接外，更連接包含有低頻與高頻回授電路之第四回授電路23，而其第四回授電路23係藉由第七電阻R7與第八電阻R8分壓以提供較低頻回授信號，並藉由第六電晶體T6之集-基極電容Ccb4與第四電容C4分壓以提供高頻回授信號，上述之第六電阻R6與第八電阻R8係各與一參考電壓VT2相連接。其中，回授電路22與23中之電阻串亦可充當回向末端電阻(Back Termination Resistor)之功能以改善輸出端之阻抗匹配特性。

以上為本發明第二實施例電路連接之說明，而第二實施例之特點在於，運用本發明之設計精神，可輕易地藉由串疊電晶體之方式倍增輸出之電壓，完成高倍增壓驅動電路之設計。

煩請參閱第五圖，第五圖係為本發明第三實施例之電路連接示意圖，其中與第二實施例之差異在於其第一回授電路20之第一電阻R1與第二回授電路21之第三電阻R3改為分別連接至輸出端Vo1與Vo2，即第三回授電路22之該低頻回授電路係與第一回授電路20之低頻回授電路相連接，而第四回授電路23之該低頻回授電路係與第二回授電路21之低頻回授電路相連接，除此之外，其電路連接與工作方式則與第二實施例完全相同。

此外，本發明第一實施例中回授電路20與21之電阻串分壓之功能可由一電壓增益電路來取代，煩請參閱第六圖，第六圖係為本發明第四實施例之電路連接示意圖，其中於此第六圖之中可看出第四實施例係包括有射極相連接之第一電晶



五、發明說明 (6)

體T1與第二電晶體T2，兩電晶體T1、T2之射極係與一第一參考電流源110相連接；此外，第一電晶體T1係與第一輸入端S1及第一電阻R1相連接，而第二電晶體T2係與第二輸入端S2及第二電阻R2相連接，兩電阻R1、R2係各連接有一參考電壓VT1。

兩輸入端S1、S2係分別更與第三電晶體T3及第四電晶體T4相連接，而兩電晶體T3、T4之射極係相連接，且與一第二參考電流源111相連接；另外，第三晶體T3係更與第五電晶體T5及第一電流源I1相連接，以與第三電晶體T3形成串疊結構，而第四晶體T4係與第六電晶體T6及第二電流源I2相連接，以與第四電晶體T4形成串疊結構。第五電晶體T5則亦與第一電流源I1相連接，第一電流源I1係連接在第三電晶體T3與第五電晶體T5相連接處，且第五電晶體T5之基極與第一電容C1及第一電阻R1相連接，並於集-基極之間更連接有一集-基極電容Ccb1，第一電容C1與集-基極電容Ccb1係構成第一高頻回授電路；而第六電晶體T6則亦連接第二電流源I2，第二電流源I2係連接在第四電晶體T4與第六電晶體T6相連接處，且第六電晶體T6基極與第二電容C2及第二電阻R2相連接，並於集-基極之間更連接有一集-基極電容Ccb2，第二電容C2與集-基極電容Ccb2係構成第二高頻回授電路。

同本發明之第一實施例，藉由調整第一電容C1、第二電容C2與集-基極電容Ccb1、Ccb2之電容比值大小，可調整經由輸出端回授之高頻訊號量，藉以獲得最佳之控制波形；至於電阻R1、R2則成為一電阻組，在電阻R1、R2所形成之電阻



## 五、發明說明 (7)

組間連接參考電壓VT1。

以上為本發明第四實施例之說明，其主要設計精神乃在於利用一電壓增益電路來取代本發明第一實施例中之電阻R1、R2、R3、R4之功能，藉以提供較低頻之基極控制信號，使輸出之電壓可平均分配至各個串疊電晶體。

以上為本發明第一至第四實施例之說明，而由此四個實施例的說明可知，本發明確實可運用由多個電晶體所構成之串疊輸出級來達到將輸出電壓平均分攤之目的，且運用相同之設計精神更可容易地達到高倍增輸出電壓之設計，此外，並可運用電容比例的方式來調整回授之高頻訊號量。

綜上所述，充份顯示出本發明在目的及功效上均深富實施之進步性，極具產業之利用價值，且為目前市面上前所未見之新發明，完全符合發明專利之系統，爰依法提出申請。

唯以上所述者，僅為本發明之較佳實施例而已，當不能以之限定本發明所實施之範圍。即大凡依本發明申請專利範圍所作之均等變化與修飾，皆應仍屬於本發明專利涵蓋之範圍內，謹請 貴審查委員明鑑，並祈惠准，是所至禱。

章節結束



圖式簡單說明

【圖示簡單說明】

第一圖係為習用技術之第一實施例電路連接示意圖；  
第二圖係為習用技術之第二實施例電路連接示意圖；  
第三圖係為本發明第一實施例之電路連接示意圖；  
第四圖係為本發明第二實施例之電路連接示意圖；  
第五圖係為本發明第三實施例之電路連接示意圖；  
第六圖係為本發明電四實施例之電路連接示意圖。

【符號說明】

10~15 電晶體；  
20~23 回授電路；  
110、111 參考電流源；  
S1、S2 輸入端；  
I1、I2、Im 電流源；  
Vo1、Vo2 輸出電壓；  
C1~C4 電容；  
Ccb1~Ccb4 集-基極電容；  
R1~R8 電阻；  
T1~T6 電晶體；  
VT1、VT2 參考電壓。



## 六、申請專利範圍

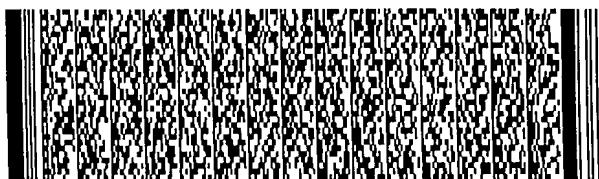
1. 一種光調變驅動器，係藉由複數個電晶體串疊連接，配合其它電路元件，分攤輸出電壓，其係包括有：
  - 一 第一電晶體，其係連接有一第一輸入端與一電流源；
  - 一 第二電晶體，其係與該第一電晶體及該電流源相連接，且連接有一第二輸入端，該電流源係連接在該第一電晶體與該第二電晶體相連接處；
  - 一 第三電晶體，其係與該第一電晶體串疊相連接，且連接有一第一電流源，該第一電流源係連接於該第一電晶體與該第三電晶體相連接處；
  - 一 第四電晶體，其係與該第二電晶體串疊相連接，且連接有一第二電流源，該第二電流源係連接於該第二電晶體與該第四電晶體相連接處；
  - 一 第一回授電路，其係與該第三電晶體相連接，該第一回授電路係包含有相連接之一低頻回授電路與一高頻回授電路；及
  - 一 第二回授電路，其係與該第四電晶體相連接，該第二回授電路係包含有相連接之一低頻回授電路與一高頻回授電路。
2. 如申請專利範圍第1項所述之光調變驅動器，其中該第一回授電路之該低頻回授電路係包含有相連接之一第一電阻與一第二電阻，該第二電阻係與一參考電壓相連接。
3. 如申請專利範圍第1項所述之光調變驅動器，其中該第



## 六、申請專利範圍

一回授電路之該高頻回授電路係包含有相連接之一第一電容與一集-基極電容，該集-基極電容係跨接於該第三電晶體之集極與基極。

4. 如申請專利範圍第1項所述之光調變驅動器，其中該第二回授電路之該低頻回授電路係包含有相連接之一第三電阻與一第四電阻，該第四電阻係與一參考電壓相連接。
5. 如申請專利範圍第1項所述之光調變驅動器，其中該第二回授電路之該高頻回授電路係包含有相連接之一第二電容與一集-基極電容，該集-基極電容係跨接於該第四電晶體之集極與基極。
6. 如申請專利範圍第1項所述之光調變驅動器，其中該第三電晶體係更串疊連接有一第五電晶體，而該第四電晶體係更串疊連接有一第六電晶體，該第五電晶體與該第六電晶體係各與一第三回授電路及一第四回授電路相連接，該第三回授電路與該第四回授電路係皆包含有相連接之一低頻回授電路與一高頻回授電
7. 如申請專利範圍第6項所述之光調變驅動器，其中該第三回授電路之該低頻回授電路係包含有相連接之一第五電阻與一第六電阻，該第六電阻係與一參考電壓相連接。
8. 如申請專利範圍第6項所述之光調變驅動器，其中該第三回授電路之該高頻回授電路係包含有相連接之一第三電容與一集-基極電容，該集-基極電容係跨接於



## 六、申請專利範圍

該第五電晶體之集極與基極。

9. 如申請專利範圍第6項所述之光調變驅動器，其中該第四回授電路之該低頻回授電路係包含有相連接之一第七電阻與一第八電阻，該第八電阻係與一參考電壓相連接。
10. 如申請專利範圍第6項所述之光調變驅動器，其中該第四回授電路之該高頻回授電路係包含有相連接之一第四電容與一集-基極電容，該集-基極電容係跨接於該第六電晶體之集極與基極。
11. 如申請專利範圍第6項所述之光調變驅動器，其中該第三回授電路之該低頻回授電路係與該第一回授電路之該低頻回授電路相連接，而該第四回授電路之該低頻回授電路係與該第二回授電路之該低頻回授電路相連接。
12. 一種光調變驅動器，係藉由複數個電晶體串疊連接，配合其它電路元件，分攤輸出電壓，其係包括有：  
一第一電晶體，其係連接有一第一輸入端、一第一參考電流源及一第一電阻，該第一電阻係連接有一參考電壓；  
一第二電晶體，其係與該第一電晶體及該第一參考電流源相連接，且連接有一第二輸入端與一第二電阻，該第一參考電流源係連接於該第一電晶體與該第二電晶體相連接處，該第二電阻係連接有一參考電壓；



六、申請專利範圍

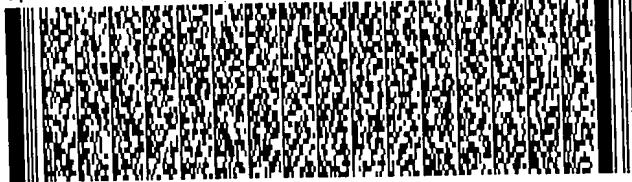
- 一 第三電晶體，其係與該第一輸入端相連接，且連接有一第二參考電流源；
- 一 第四電晶體，其係與該第二輸入端、該第三電晶體及該第二參考電流源相連接，該第二參考電流源係連接於該第三電晶體與該第四電晶體相連接處；
- 一 第五電晶體，其係與該第三電晶體串疊相連接，且該第五電晶體連接有一第一電流源及一第一高頻回授電路，該第一電流源係連接於該第三電晶體與該第五電晶體相連接處；及
- 一 第六電晶體，其係與該第四電晶體串疊相連接，且該第六電晶體連接有一第二電流源及一第二高頻回授電路，該第二電流源係連接於該第四電晶體與該第六電晶體相連接處。

13. 如申請專利範圍第12項所述之光調變驅動器，其中該第一高頻回授電路係包含有相連接之一第一電容與一集-基極電容，該集-基極電容係跨接於該第五電晶體之集極與基極。

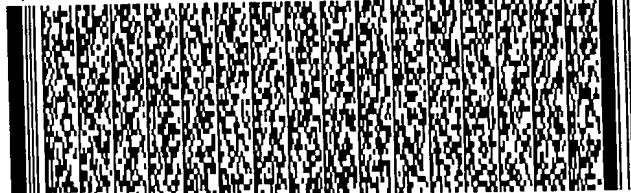
14. 如申請專利範圍第12項所述之光調變驅動器，其中該第二高頻回授電路係包含有相連接之一第二電容與一集-基極電容，該集-基極電容係跨接於該第六電晶體之集極與基極。



第 1/17 頁



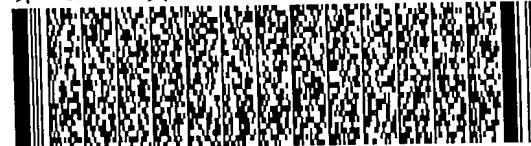
第 2/17 頁



第 3/17 頁



第 4/17 頁



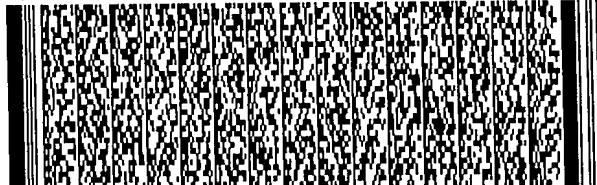
第 5/17 頁



第 6/17 頁



第 6/17 頁



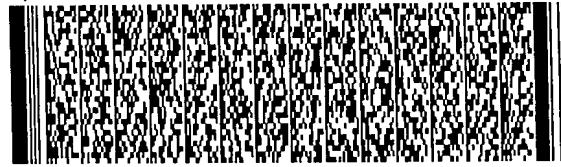
第 7/17 頁



第 7/17 頁



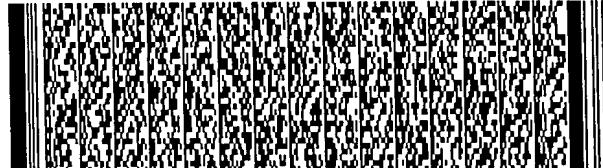
第 8/17 頁



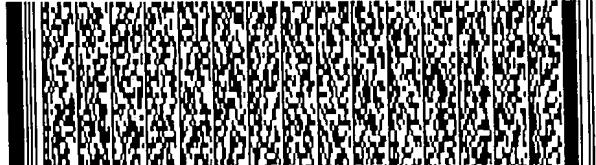
第 8/17 頁



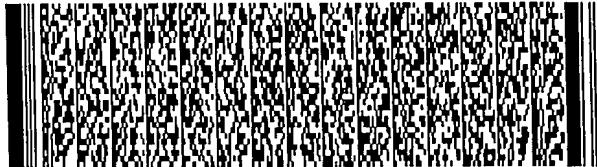
第 9/17 頁



第 9/17 頁



第 10/17 頁



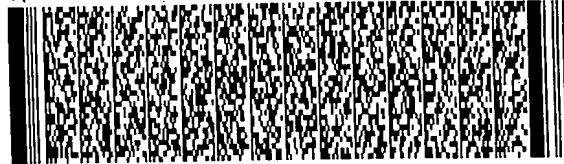
第 10/17 頁



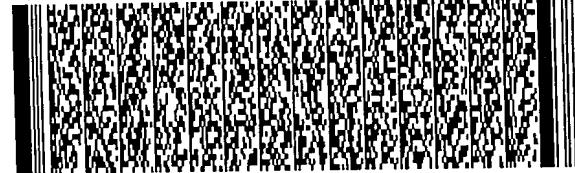
第 11/17 頁



第 11/17 頁



第 12/17 頁



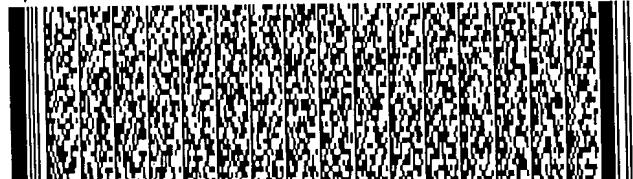
第 12/17 頁



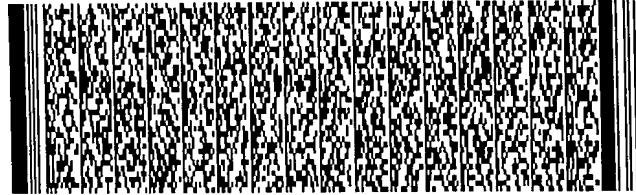
第 13/17 頁



第 14/17 頁



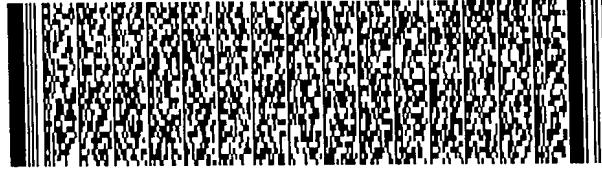
第 15/17 頁



第 15/17 頁



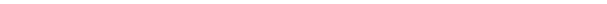
第 16/17 頁

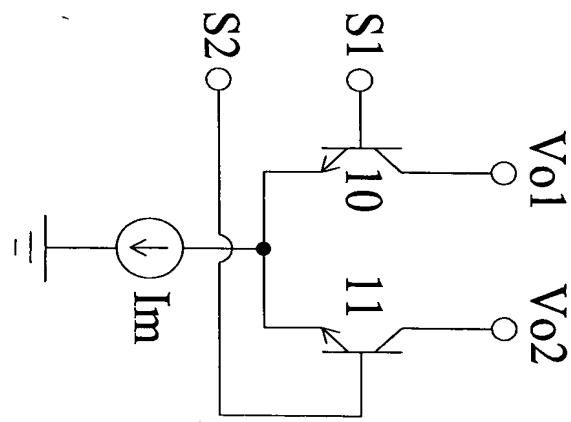


第 16/17 頁

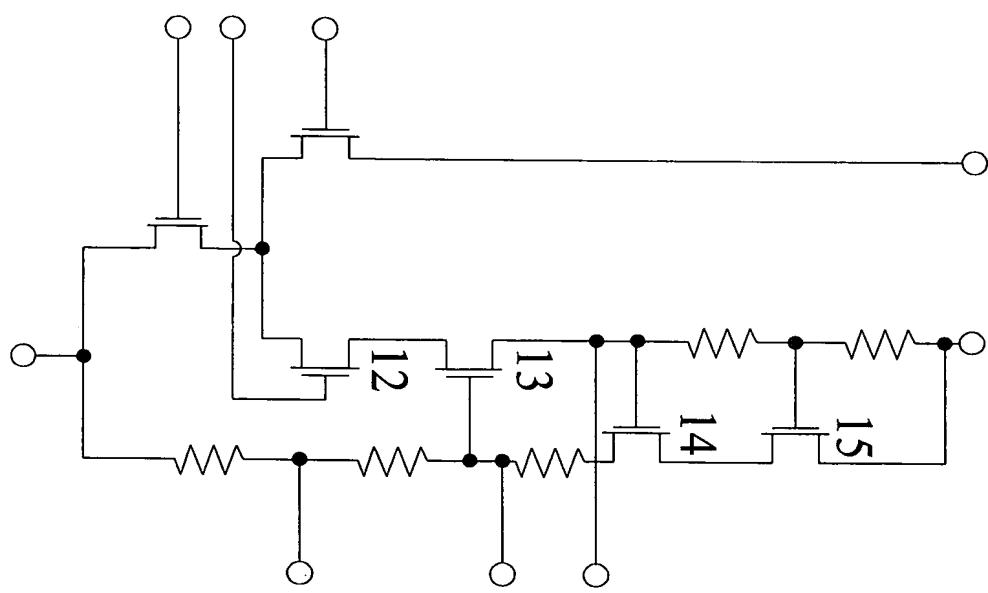


第 17/17 頁

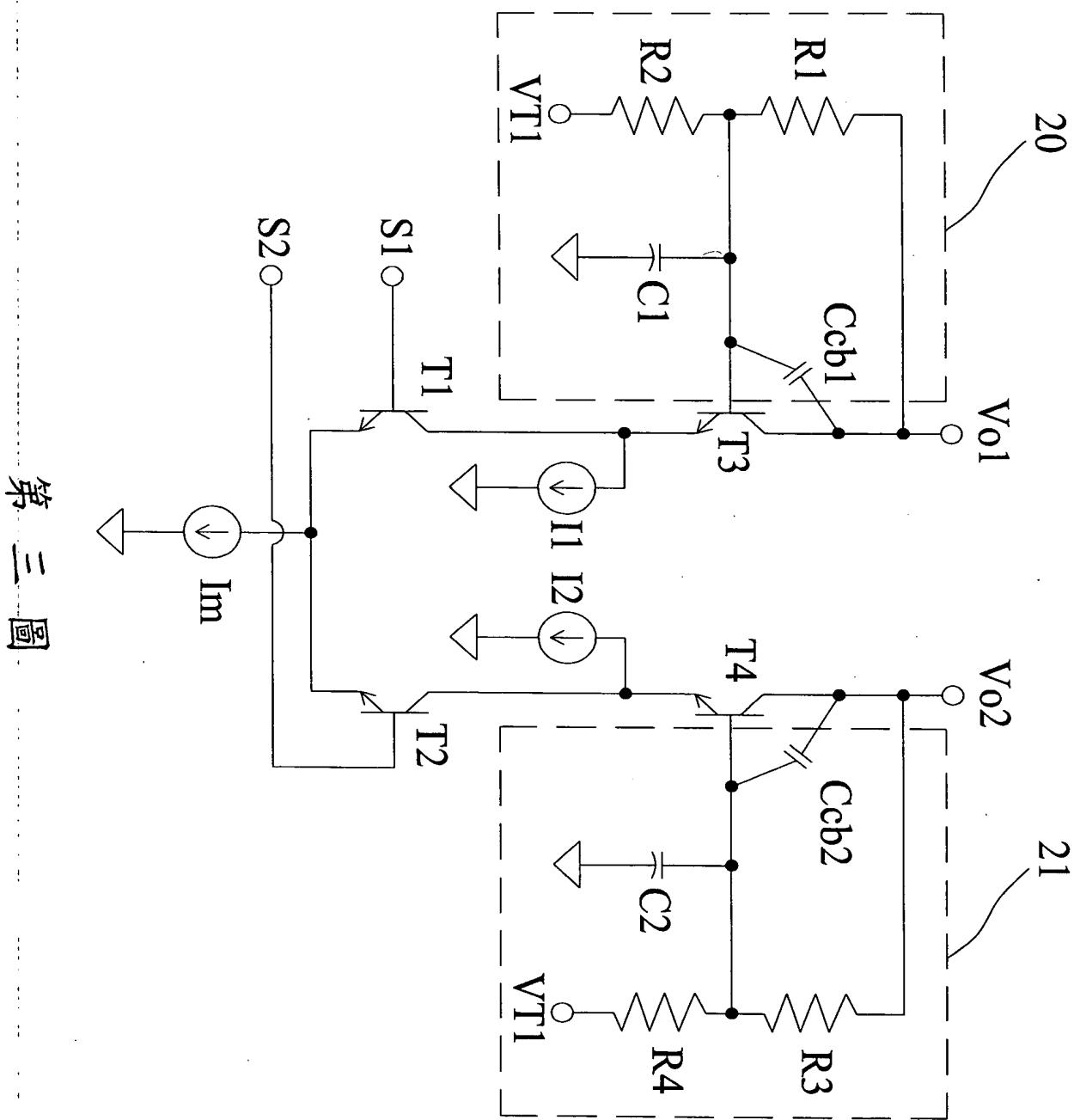




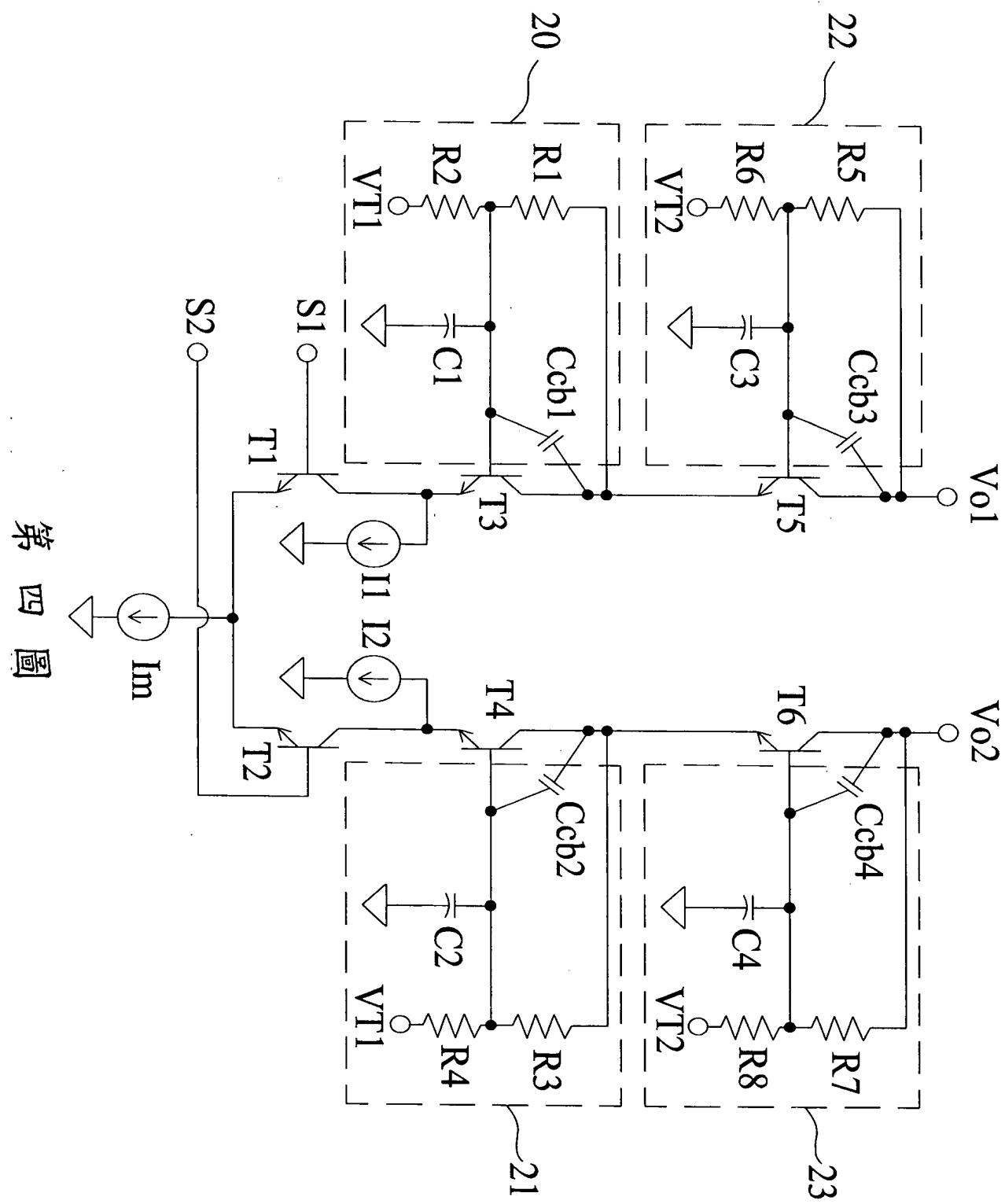
第一圖 (練用技術)



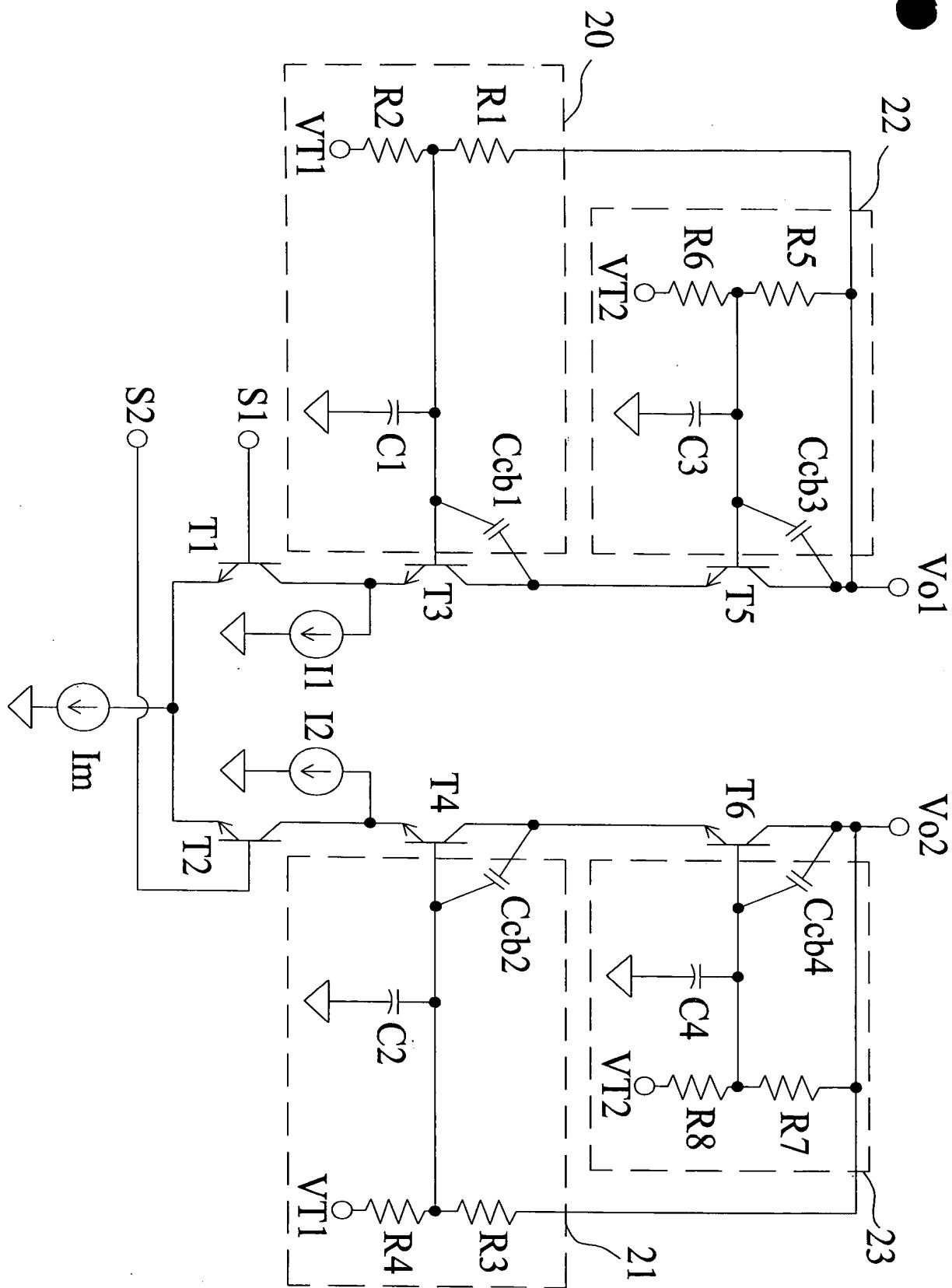
第二圖 (練用技術)



第三圖



第四圖



第五圖

第六圖

